



Universidade Federal do Rio Grande do Norte
Instituto Metr pole Digital
N cleo de Pesquisa e Inova o em Tecnologia da Informa o
Laborat rio de Arquiteturas Paralelas para Processamento de
Sinais



Propostas de temas para Trabalho de Conclus o de Curso – 2021.2/2022.1

T tulo: **Integra o de Algoritmo de Aquisi o de Sinais de Sat lite ao framework GNSS-SDR**

Descri o: O Variance-Triggered Two-Step Acquisition (VTTS)   um algoritmo que comp e uma das etapas do c culo de posicionamento em um receptor GPS. Sua principal fun o   detectar os sat lites vis veis e fornecer a estimativa do deslocamento na frequ ncia do sinal e o atraso no c digo dos sinais de sat lite. Tais informa es s o necess rias para o c culo da posi o do receptor. A proposta de TCC seria a integra o do VTTS ao projeto GNSS-SDR (An open source Global Navigation Satellite Systems software-defined receiver - <https://gnss-sdr.org/>). O trabalho envolveria a adapta o do c digo escrito em C para a linguagem C++ e a integra o do novo c digo ao framework. O principal desafio seria o estudo do framework para realizar a adapta o das estruturas de dados do algoritmo original em C para o C++. O VTTS representa uma nova estrat gia de aquisi o que seria incorporada  s preexistentes, ou seja, o framework j  se encontra totalmente funcional com outras estrat gias atualmente. A contribui o do trabalho seria viabilizar os testes do VTTS utilizando um receptor completo e profissional na dire o do desenvolvimento de novas t cnicas para redu o de tempo e mem ria no processo de localiza o por sat lite.

CH semanal: 20 horas

Orientador: Samuel Xavier de Souza

Supervis o: Fabr cio Costa

Mais informa es: samuel@dca.ufrn.br

T tulo: **Benchmarks para o projeto CEVERO/PULP**

Descri o: O projeto CEVERO est  desenvolvendo um MPSoC para aplica es aeroespaciais baseado na plataforma PULP. Uma proposta de TCC seria o desenvolvimento e/ou adapta o de c digos de benchmark para a plataforma, baseado nas ferramentas de software do PULP. Os principais desafios desse trabalho s o: contornar as limita es impostas pela arquitetura e ser capaz de exercitar n o apenas um core, mas tamb m o cluster de forma paralela. Alguns dos benchmarks que poderiam ser portados s o o Coremark, BEEBs e Dhrystone, al m poss veis subsets simplificados de benchmarks paralelos, como PARSEC, DEISA e NPB. Esse trabalho traria uma importante contribui o para o projeto CEVERO e PULP, permitindo a avalia o de seu funcionamento atrav s um conjunto de testes padronizados.

CH semanal: 20 horas

Orientador: Samuel Xavier de Souza

Supervis o: Diego Vin cius Cirilo do Nascimento

Mais informa es: dvcirilo@gmail.com

T tulo: **Integra o de sensor de temperatura ao MAGEEC Power Measurement Board**

Descri o: A MAGEEC Power Measurement Board   uma plataforma de medi o de energia baseada na placa STM32F4DISCOVERY e um shield de convers o A/D (http://mageec.org/wiki/Power_Measurement_Board). O sistema   capaz de medir tens o, corrente (atrav s de resistores shunt) e energia. O firmware   baseado em libopencm3 e a comunica o com o PC se d  por meio de uma aplica o/driver em Python (<https://github.com/jpallister/stm32f4-energy-monitor>). A proposta de TCC seria a

integração de um medidor de temperatura DS18B20. A placa de desenvolvimento STM32F4DISCOVERY já conta com os recursos de hardware para comunicação com o sensor (barramento OneWire) sendo necessário implementar a comunicação no firmware (baseado em libopencm3) e no driver Python. A contribuição do trabalho seria no enriquecimento do conjunto de dados gerado pelo MAGEEC, possibilitando correlação entre temperatura de operação dos chips em teste com os resultados de medição de energia e pontos de falha.

CH semanal: 20 horas
Orientador: Samuel Xavier de Souza
Supervisão: Diego Vinícius Cirilo do Nascimento
Mais informações: dvcirilo@gmail.com

Título: *Processo de Síntese lógica do CEVERO*

Descrição: O projeto CEVERO é um SoC composto atualmente por uma memória de instrução, memória de dados, um módulo de tolerância a falhas e dois processadores Zero-riscy, que utilizam o conjunto de instruções RISC-V. O processo de síntese lógica analisa um circuito, que geralmente está no formato RTL e o transforma em uma implementação em termos de portas lógicas. O resultado é a criação de um arquivo chamado netlist. Também é possível gerar arquivos bitstreams para dispositivos programáveis como FPGA. Através desse projeto é possível aprender sobre a organização do CEVERO e sobre uma parte do fluxo de desenvolvimento de ASICs, bem como verificar diversos dados importantes como: timing e caminhos críticos, área e consumo.

CH semanal: 20 horas
Orientador: Samuel Xavier de Souza
Supervisão: Johannes Warwick Farias
Mais informações: johanneswarwick@gmail.com

Título: *Implantação em contêiner de aplicações de machine-learning desenvolvidas em tensorflow*

Descrição: Atualmente a aprendizagem de máquina (ML) se apresenta como um misto de realizações e desafios. Dentre os desafios, está o da compreensão de como os algoritmos de ML lidam com o consumo energético de GPUs. Para abordar esse desafio está sendo desenvolvida como suporte a uma tese de doutorado, uma infraestrutura para a coleta e o armazenamento dos dados provenientes dessas soluções. Na base dessa infraestrutura está uma arquitetura de contêineres do tipo Docker, onde rodam tais MLs. No contexto que está posto, o principal objetivo do TCC é o de "Implantar em container Docker os algoritmos de ML que rodem em GPU e que foram desenvolvidos em TensorFlow e executem em modo de inferência". Sendo assim, o trabalho do TCC estará concluído quando as MLs forem containerizadas e postas para rodar na infraestrutura em desenvolvimento. Para que o objetivo seja atingido, devem ser considerados os algoritmos que estão disponíveis a partir do link <https://paperswithcode.com/sota/image-classification-on-imagenet>, nele está um ranking de algoritmos de ML que obtiveram resultados de reconhecimento de imagens de uma base denominada de ImageNet.

CH semanal: 16 horas
Orientador: Samuel Xavier de Souza
Supervisão: Antônio Oliveira Filho
Mais informações: aoliveiraf@gmail.com

Título: *Tolerância a falhas aplicado à propagação da onda*

Descrição: O cálculo da propagação da onda é uma etapa crucial em diversos métodos aplicados na exploração sísmica, como inversão completa da onda, migração por mínimos quadrados, migração reversa no tempo e outros. Por serem métodos com alto custo computacional normalmente são executados em supercomputadores paralelizando etapas do seu processamento entre os nós. Entretanto cada nó fornece um determinado tempo médio entre falhas, portanto, quanto mais nós são usados, mais elevadas são as probabilidades de falha. Para uma aplicação, que requer computação significativa, ser resiliente é uma característica essencial, ou seja, lidar com falhas para que execute corretamente. Posto isso, o foco deste trabalho é a implementação de técnicas de tolerância a falhas aplicado na propagação da onda em C++ usando memória distribuída e compartilhada com MPI e OpenMP.

CH semanal: 16 horas

Orientador: Samuel Xavier de Souza

Supervisão: Carla dos Santos Santana

Mais informações: carla.ecomp@gmail.com